

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷ H01L 23/12 (11) 공개번호 특2002-0033944
(43) 공개일자 2002년05월08일

(21) 출원번호 10-2000-0064202
(22) 출원일자 2000년10월31일
(71) 출원인 삼성전자 주식회사 윤종용
경기 수원시 팔달구 매탄3동 416
(72) 발명자 권흥규
경기도성남시분당구구미동202무지개마을엘지아파트210동1204호
천정환
충청남도천안시신당동461-416/4태청빌라가동402호
노영훈
충청남도천안시신방동909번지한라동백2차아파트106동902호
(74) 대리인 윤동열, 이선희

심사청구 : 없음

(54) 고전력 플립칩 패키지와 그 제조 방법

요약

본 발명은 고전력 플립칩 패키지와 그 제조 방법에 관한 것으로서, 고온에서 진행되는 방열판 부착공정으로 인하여 언더필 층 등의 신뢰성이 저하되는 종래기술의 문제점을 해결하기 위한 것이다. 본 발명의 고전력 플립칩 패키지는, 전기회로가 형성된 기판과; 활성면에 다수개의 금속 범프들이 형성되고, 금속 범프들에 의하여 기판에 실장되는 집적회로 칩과; 집적회로 칩보다 큰 면적을 가지고, 가장자리 쪽의 일 부분에 관통구멍이 형성되며, 집적회로 칩의 뒷면에 부착되는 방열판과; 기판과 집적회로 칩의 활성면 사이에 금속 범프들을 보호하기 위하여 형성되는 언더필 층; 및 기판과 방열판 사이 및 기판의 관통구멍에 충전되는 밀폐재를 포함한다.

대표도

도 1a

색인어

고전력 플립칩 패키지 (High Power Flip Chip Package), 중앙처리장치 (CPU: Central Processing Unit), 열방출 (Heat Dissipation), 방열판 (Heat Spreader)

영세서

도면의 간단한 설명

도 1a, 도 1b는 본 발명의 실시예에 따른 고전력 플립칩 패키지를 도시한 단면도 및 평면도이다.

도 2 내지 도 4는 도 1a와 도 1b에 도시된 고전력 플립칩 패키지의 제조 단계별 개략도이다.

도 5 내지 도 8b는 본 발명의 고전력 플립칩 패키지에 사용 가능한 여러가지 예의 방열판들을 나타내는 개략도이다.

도 9a, 도 9b는 본 발명의 고전력 플립칩 패키지에 사용되는 사이드 링의 다른 예를 나타내는 개략도이다.

<도면의 주요 부분에 대한 부호의 설명>

1: 고전력 플립칩 패키지(high power flip chip package)
10: 기판(substrate)12: 접속핀(connection pin)
20: 집적회로 칩(IC chip)22: 칩 활성면(chip active surface)
24: 칩 뒷면(chip back surface)26: 금속 범프(metal bump)
28: 접착층(adhesive layer)30, 30a~30d: 방열판(heat spreader)
32: 관통구멍(through hole)34: 체결부(stud bolt)

36: 스토퍼(stopper)38a, 38b: 홈(groove)
 40: 언더필 층(underfill layer)50, 50a: 사이드 링(side ring)
 52: 정렬날개(align wing)60a, 60b, 60c: 밀폐제(sealant)

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 패키지 및 그 제조 방법에 관한 것으로서, 특히 고전력 플립칩 패키지 및 그 제조 방법에 관한 것이다.

중앙처리장치(CPU: Central Processing Unit)의 경우 고주파 동작시에는 소자에 많은 열이 발생한다. 따라서, 발생한 열의 효과적인 방출이 제품의 안정적인 동작에 중대한 영향을 미친다. 열이 효과적으로 방출되지 않을 경우 처리속도 등의 제품 특성에 악영향을 미칠 뿐만 아니라, 제품의 신뢰성을 떨어뜨려 제품 수명을 단축시키는 주요 요인이 된다. 중앙처리장치의 패키지 기술은 최근까지 와이어 본딩(wire bonding) 기술이 주로 적용되었으나, 지금은 처리속도 향상을 위하여 플립칩(flip chip) 본딩 기술이 주류를 이루고 있다.

플립칩 기술을 적용한 고전력 패키지는 금속 범프(bump)가 형성된 집적회로 칩을 기판상에 플립칩 본딩하는 구성을 가진다. 집적회로 칩과 기판 사이에는 언더필(underfill) 층이 형성되고, 열 방출을 위하여 캡(cap) 형태의 방열판이 칩 윗면과 기판 위에 부착된다. 종래기술에 있어서 방열판 부착 공정은 280℃ 이상, 주로 340℃의 고온에서 이루어진다.

발명이 이루고자하는 기술적 과제

언더필 층은 금속 범프를 보호하고, 절연층으로서의 기능, 열적 스트레스를 흡수·완화하는 기능 등을 수행한다. 대개 에폭시류의 중합체 물질이 언더필 층의 소재로 사용된다. 그런데, 이와 같은 물질은 250℃ 이상의 온도에서 특성저하를 일으킨다. 또한, 유기 기판의 경우에도 250℃ 이상의 온도에서 특성저하를 일으킬 수 있다. 따라서, 방열판 부착공정의 고온 조건은 제품 신뢰성을 저하시키는 요인이 된다.

본 발명은 이러한 종래기술의 문제점들을 해결하기 위하여 안출된 것으로서, 특히 본 발명의 목적은 고전력 플립칩 패키지의 열방출 효율을 높이면서 동시에 제품의 신뢰성을 유지하고자 하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명은 관통구멍이 형성된 방열판을 포함하는 고전력 플립칩 패키지를 제공한다. 방열판이 관통구멍을 구비하고 있기 때문에 방열판 부착후 관통구멍을 통하여 언더필 공정을 진행할 수 있으며, 따라서 언더필 층이 방열판 부착 공정의 영향을 받지 않아 언더필 층의 신뢰성 저하 문제가 근본적으로 방지된다.

이하, 첨부 도면을 참조하여 본 발명의 실시예를 보다 상세하게 설명하고자 한다.

도 1a, 도 1b는 본 발명의 실시예에 따른 고전력 플립칩 패키지(1)를 도시한 단면도 및 평면도이다. 그리고, 도 2 내지 도 4는 도 1a와 도 1b에 도시된 고전력 플립칩 패키지의 제조 단계별 개략도이다. 도 1a 내지 도 4를 참조하여 고전력 플립칩 패키지의 구성 및 제조 방법에 대하여 설명한다.

고전력 플립칩 패키지(1)에 사용되는 기판(10)은 세라믹 소재인 것이 바람직하지만 인쇄회로기판 등도 사용할 수 있다. 도면에 도시하지는 않았지만, 기판(10)에는 전기회로가 형성되어 있어서 기판(10)에 실장되는 집적회로 칩(20)과 외부 회로기판을 전기적으로 매개한다. 특히 칩(20)의 금속 범프(26)가 접속되는 부분인 랜드 패드(land pad)의 표면은 니켈(Ni), 니켈/금(Ni/Au), 팔라듐(Pd), 은(Ag), 솔더(solder) 등의 금속에 의하여 표면처리된다. 칩 실장면(14)의 반대쪽에는 외부 회로기판 접속용인 접속핀(12)이 형성된다.

집적회로 칩(20)의 활성면(22)에는 다수개의 금속 범프(26)들이 형성된다. 금속 범프(26)들은 바람직하게는 솔더(solder)가 사용되지만 다른 금속들도 사용될 수 있다. 칩 활성면(22)과 기판 실장면(14)이 마주하도록 금속 범프(26)들에 의하여 집적회로 칩(20)이 기판(10)에 실장된다. 이는 소위 플립칩 본딩(flip chip bonding)에 해당한다. 솔더 범프에 의한 플립칩 본딩인 경우, 플럭스(flux)를 기판의 랜드 패드에 도포하고, 집적회로 칩을 기판 위에 정렬한 상태에서, 솔더를 용융시키는 솔더링(soldering)에 이어, 플럭스를 세정하는 순으로 공정이 진행된다.

이어서, 방열판(30)이 집적회로 칩(20)의 윗면(24)에 부착된다. 방열판(30)은 집적회로 칩(20)보다 큰 면적을 가지며, 방열판(30) 가장자리 쪽의 일부분에 관통구멍(32)이 형성되어 있다. 즉, 관통구멍(32)은 방열판 부착후 칩 바깥쪽에 위치한다. 방열판(30)은 칩(20)에서 발생하는 열을 신속히 외부로 방출하기 위한 것이므로, 열전도도가 높은 구리(Cu), 알루미늄(Al), 탄화규소알루미늄(AlSiC), 텅스텐구리(CuW), 다이아몬드 등의 금속 또는 비금속 재질로 구성된다. 또한, 방열판(30)에 니켈(Ni), 금(Au), 은(Ag), 팔라듐(Pd) 등으로 표면처리하거나 양극산화처리(anodizing)할 수 있다.

방열판(30)은 종래의 것과 그 형태가 다소 상이하다. 즉, 종래기술에 따른 방열판은 캡 형태로서 칩 윗면뿐 아니라 기판에도 부착된다. 그러나, 본 실시예의 경우에는 칩 윗면(24)에 부착되는 방열판(30)과 기판(10)에 부착되는 사이드 링(50: side ring)으로 분리된다. 그러나 사이드 링(50)이 반드시 필요한

것은 아니다. 사이드 링(50)은 방열판(30)보다 낮은 높이를 가지며, 방열판(30) 상부에는 체결부(34)가 형성된다. 체결부(34)는 방열판(30) 위에 히트 싱크(heat sink)를 추가로 장착할 때 사용된다.

방열판(30) 부착시 접착층(28)이 사용된다. 접착층(28)의 소재로는 은-유리 에폭시(Ag-glass epoxy) 또는 솔더(solder)와 같이 열전도도가 높고 일정 이상의 접합 강도를 가지는 액상 또는 시트(sheet) 타입의 고상 접착제가 사용된다. 솔더가 사용될 경우 티타늄(Ti), 구리/니켈바나듐/금(Cu/VNi/Au), 은(Ag) 등이 칩 뒷면(14)에 미리 입혀질 수 있다.

방열판(30)이 부착되고 나면 언더필 층(40)이 형성된다. 종래기술에서는 방열판이 캡 형태로 이루어져 칩을 감싸기 때문에, 언더필 공정을 먼저 진행한 후 방열판을 부착할 수밖에 없었다. 그러나, 본 발명에서는 방열판(30)이 사이드 링(50)과 분리되어 있을 뿐만 아니라, 관통구멍(32)이 방열판(30)에 형성되어 있기 때문에, 언더필 공정을 나중에 진행할 수 있다. 따라서, 종래기술의 문제점인 방열판 부착 공정에 따른 언더필 층(40)의 신뢰성 저하의 문제가 해결된다.

전술했듯이, 언더필 층(40)은 금속 범프를 보호하고, 절연층으로서의 기능, 열적 스트레스를 흡수·완화하는 기능 등을 수행하며, 에폭시류의 중합체 물질이 액상으로 토출(dispensing)되어 경화된 것이다. 관통구멍(32)으로 언더필 물질을 토출하면 모세관 현상에 의하여 기판(10)과 칩 활성면(22) 사이로 언더필 물질이 스며들어 언더필 층(40)을 형성한다.

다음 단계는 기판(10)과 방열판(30) 사이에 밀폐제(60b; sealant)를 충전하는 단계이다. 밀폐제(60b)는 언더필 물질과 동일하거나 다른 중합체 물질을 사용할 수 있다. 사이드 링(50)이 사용될 경우, 밀폐제(60b)를 충전하기 전에 먼저 사이드 링(50)을 기판(10)에 접합한다. 사이드 링(50)과 기판(10)의 접합에는 솔더 프리폼(60a; solder preform) 또는 밀폐제(60b)와 동일한 소재의 접합제가 사용된다. 관통구멍(32) 내부에도 밀폐제(60c)를 충전하는 것이 바람직하며, 밀폐제 내부에 존재하는 기포를 제거하기 위하여 진공장비 안에서 공정을 진행할 수 있다. 각각의 공정은 서로 별개로 또는 동시에 진행될 수 있으며, 액상물질을 사용할 경우 경화공정이 추가된다.

방열판(30)은 여러가지 형태를 가질 수 있다. 본 발명의 고전력 플립칩 패키지에 사용 가능한 여러가지의 방열판들이 도 5 내지 도 8b에 도시되어 있다.

도 5에 도시된 방열판(30a)은 일반적인 형태로서, 앞서의 실시예에서 설명한 것과 동일하게 관통구멍(32)과 체결부(34)를 구비하고 있다.

도 6의 방열판(30b)은 하부면에 스톱퍼(36; stopper)를 더 구비한 것으로서, 스톱퍼(36)는 솔더 범프를 용융시켜 솔더 접합에 의하여 칩과 기판을 접합할 경우 범프의 일정 높이를 보증하기 위한 것이다.

도 7a와 도 7b에 도시된 방열판(30c)은 관통구멍(32)이 형성된 방열판 하부면에 홀(38a)이 더 파여져 있는 것이다. 이 홀(38a)은 관통구멍(32)을 통한 언더필 물질의 토출 효율성을 높이기 위한 것이다.

도 8a와 도 8b에 도시된 방열판(30d)은 관통구멍(32)이 형성된 위치 외에도 홀(38b)이 더 연장되어 형성된 것이다. 이와 같은 홀(38b)은 집적회로 칩 외에 다른 소자들이 기판에 실장될 경우 그 높이를 고려한 것이다.

한편, 본 발명의 고전력 플립칩 패키지에 사용되는 사이드 링(50a)은 도 9a 및 도 9b에 도시된 것과 같이 정렬날개(52)를 더 구비할 수 있다. 이 경우 정렬날개(50a)와 사이드 링 사이의 간격은 방열판 체결부의 패키지 중앙과의 공차 이내로 설계한다. 정렬날개(50a)는 네 모서리 또는 대각의 두 모서리에 형성될 수 있다.

발명의 효과

이상 설명한 바와 같이, 본 발명은 방열판이 서로 분리되어 있고, 칩 뒷면에 부착되는 방열판이 관통구멍을 가지고 있으므로, 언더필 공정을 방열판 부착 공정 후에 진행할 수 있다. 따라서, 방열판 부착 공정으로 인하여 언더필 층의 신뢰성이 저하되는 문제가 발생하지 않으며, 고온처리가 필요한 열 계면 물질(thermal interface material)을 적용할 수 있는 장점이 있다. 아울러, 은-유리 에폭시를 적용할 경우, 기존의 다이본딩(die bonding) 장치, 경화 장치 등을 그대로 이용할 수 있는 장점도 있다.

본 명세서와 도면에는 본 발명의 바람직한 실시예에 대하여 개시하였으며, 비록 특정 용어들이 사용되었으나, 이는 단지 본 발명의 기술 내용을 쉽게 설명하고 독자의 이해를 돕기 위한 일반적인 의미에서 사용된 것이지, 본 발명의 범위를 한정하고자 하는 것은 아니다. 여기에 개시된 실시예 외에도 본 발명의 기술적 사상에 바탕을 둔 다른 변형예들이 실시가능하다는 것은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게는 자명한 것이다. 본 발명의 범위는 다음의 특허청구범위에 나타난다.

(57) 청구의 범위

청구항 1. 전기회로가 형성된 기판과;

활성면에 다수개의 금속 범프들이 형성되고, 상기 금속 범프들에 의하여 상기 기판에 실장되는 집적회로 칩과;

상기 집적회로 칩보다 큰 면적을 가지고, 가장자리 쪽의 일부분에 관통구멍이 형성되며, 상기 집적회로 칩의 뒷면에 부착되는 방열판과;

상기 기판과 상기 집적회로 칩의 활성면 사이에 상기 금속 범프들을 보호하기 위하여 형성되는 언더필 층; 및

상기 기판과 상기 방열판 사이 및 상기 기판의 관통구멍에 충전되는 밀폐제를 포함하는 고전력 플립칩 패키지.

청구항 2. 합성면에 다수개의 금속 범프들이 형성된 집적회로 칩을, 상기 금속 범프들에 의하여, 전기회로가 형성된 기판에 실장하는 단계와;

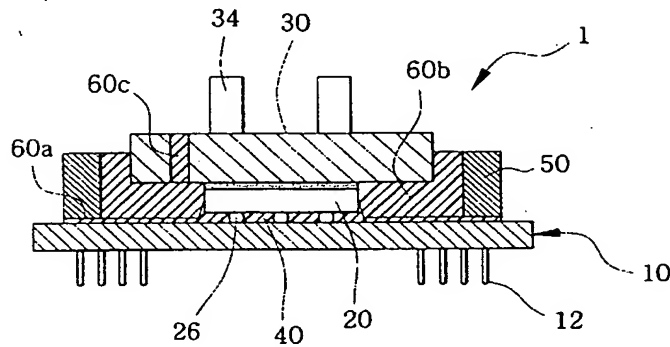
상기 집적회로 칩보다 큰 면적을 가지고, 가장자리 쪽의 일부분에 관통구멍이 형성된 방열판을, 상기 집적회로 칩의 뒷면에 부착하는 단계와;

상기 기판의 상기 관통구멍으로 언더필 물질을 토출하여 상기 기판과 상기 집적회로 칩의 활성면 사이에 언더필 층을 형성하는 단계; 및

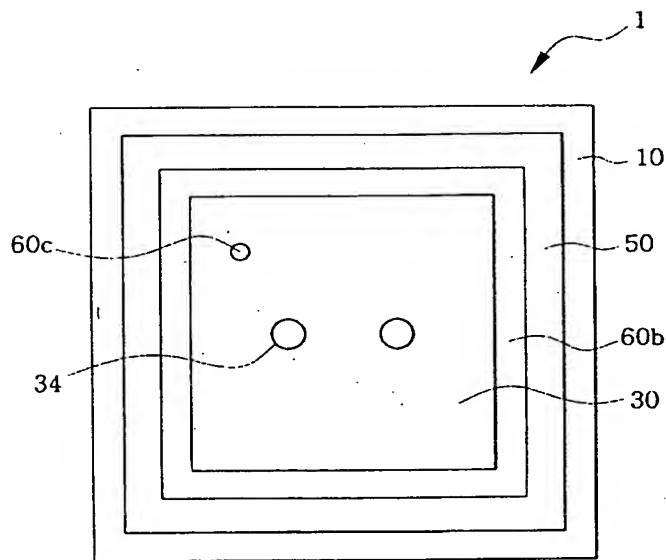
상기 기판의 상기 관통구멍으로 밀폐제를 토출하여 상기 기판과 상기 방열판 사이 및 상기 기판의 관통구멍에 밀폐제를 충전시키는 단계를 포함하는 고전력 플립칩 패키지의 제조 방법.

도연

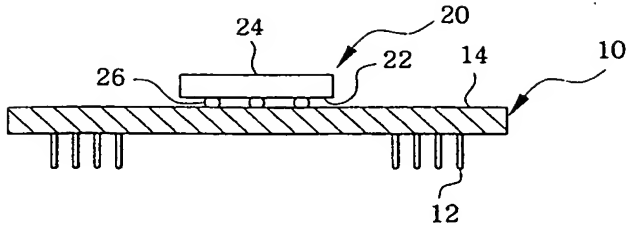
도면 1a



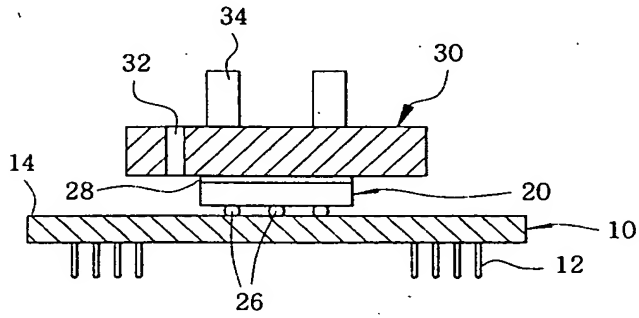
도면 1b



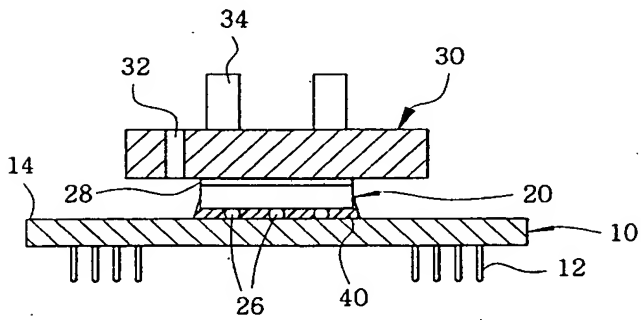
도면2



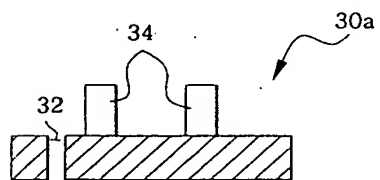
도면3



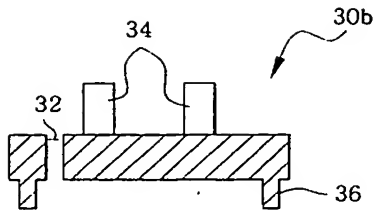
도면4



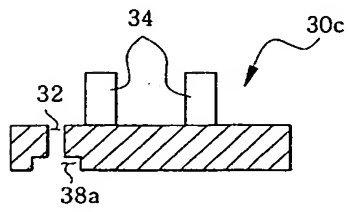
도면5



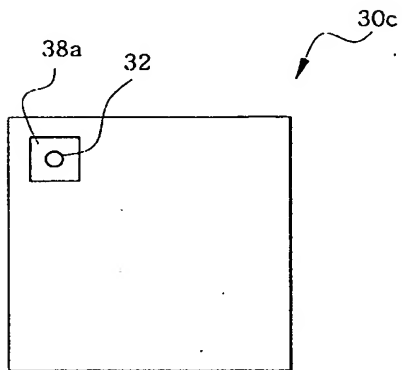
도면6



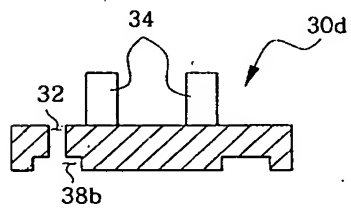
도면7a



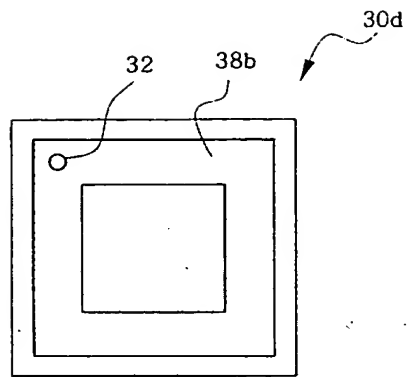
도면7b



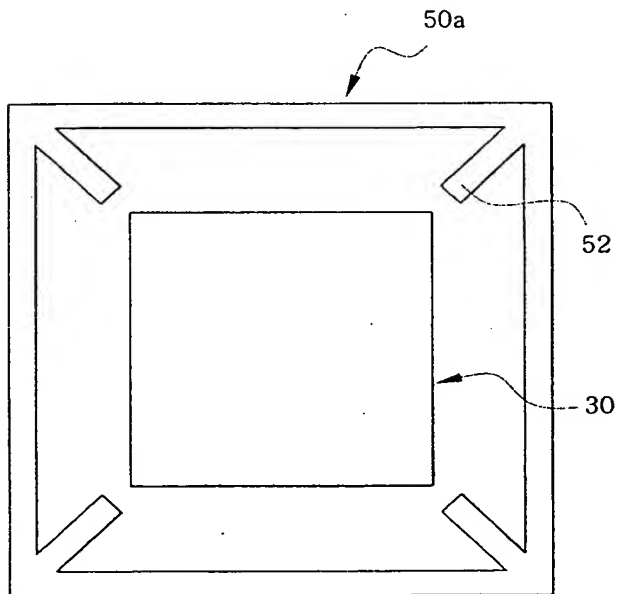
도면8a



도면8b



도면9a



도면9b

